

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-293698

(43)Date of publication of application : 09.10.2002

(51)Int.Cl.

C30B 29/38  
H01L 21/205

(21)Application number : 2001-098870

(71)Applicant : TOYODA GOSEI CO LTD  
TOYOTA CENTRAL RES & DEV LAB  
INC

(22)Date of filing : 30.03.2001

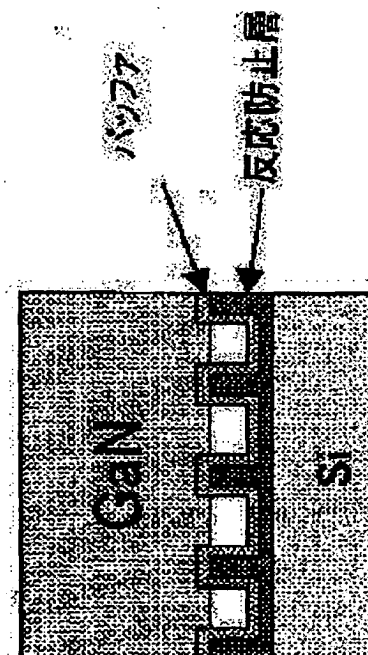
(72)Inventor : NAGAI SEIJI  
TOMITA KAZUYOSHI

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR SUBSTRATE AND SEMICONDUCTOR ELEMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To make a semiconductor single crystal free of cracks, polycrystal lumps, etc., on an Si substrate.

**SOLUTION:** A reaction-inhibiting layer is formed in order to prevent the reaction of Si and a semiconductor of a gallium nitride system and the reaction-inhibiting layer (crystalline material B) consisting of, for example, SiC or AlN, etc., having a melting point or heat resistance higher than that of the semiconductor (semiconductor crystal A) of the gallium nitride system is deposited on the ground surface substrate (Si substrate) in the manner described above, by which the 'reaction section' consisting of GaN polycrystal lumps, etc., near the silicon boundary is no longer formed even in the case the crystal of the semiconductor (semiconductor crystal A) of the gallium nitride system is grown for a long time. Also, many projecting parts are formed, by which the semiconductor (semiconductor crystal A) of the gallium nitride system is grown in a transverse direction as well with the planar apexes of the projecting parts as start points. As a result, the stress between the antireaction layer and the semiconductor crystal A is drastically relieved and the through-cracks of the longitudinal direction are not produced in the reaction-inhibiting layer and therefore the Si substrate can be surely shut off and the reaction-inhibiting effect is made sure.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office



## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

**[Claim(s)]**

[Claim 1] On the ground substrate formed from silicon (Si) using the longitudinal direction crystal-growth operation characterized by providing the following How to obtain a semiconductor substrate by growing up the semiconducting crystal A which consists of an III group nitride system compound semiconductor. The reaction prevention process which forms the reaction prevention layer which consists of the aforementioned semiconducting crystal A on the aforementioned ground substrate from the crystalloid material B with high melting point or thermal resistance. The height formation process which forms many heights from the aforementioned reaction prevention layer, without exposing the aforementioned ground substrate on one side of the side by which the aforementioned reaction prevention layer was formed by chemical or physical etching. The crystal-growth process to which a part of front face [ at least ] of the aforementioned height is made into the first growth side where the aforementioned semiconducting crystal A starts a crystal growth, and the crystal growth of the aforementioned semiconducting crystal A is carried out until this growth side is connected mutually respectively and it grows up to be a series of abbreviation flat surfaces at least.

[Claim 2] As for the aforementioned semiconducting crystal A, an empirical formula fills " $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$  ( $0 \leq x < 1$ ,  $0 < y < 1$ ,  $x+y \leq 1$ )". The manufacture method of the semiconducting crystal according to claim 1 characterized by consisting of an III group nitride system compound semiconductor.

[Claim 3] The aforementioned crystalloid material B which forms the aforementioned reaction prevention layer is the manufacture method of the semiconducting crystal according to claim 1 or 2 characterized by consisting of carbonization silicon (SiC), aluminium nitride (AlN), or a spinel ( $\text{MgAl}_2\text{O}_4$ ).

[Claim 4] The aforementioned crystalloid material B which forms the aforementioned reaction prevention layer is the manufacture method of the semiconducting crystal according to claim 1 or 2 characterized by an aluminum composition ratio consisting of at least 0.30 or more AlGaIn(s), AlInN, or AlGaInN.

[Claim 5] The manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by forming the cavity where the laminating of the aforementioned semiconducting crystal A is not carried out between the aforementioned heights by growing up the aforementioned growth side into a longitudinal direction, and making it connect mutually respectively, or a claim 4.

[Claim 6] The manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by forming the thickness in the trough of the aforementioned reaction prevention layer between the aforementioned heights in 0.1 micrometers or more and 2 micrometers or less, or a claim 5.

[Claim 7] The manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by forming the lengthwise height of the aforementioned height in 0.5 micrometers or more and 20 micrometers or less in the aforementioned height formation process, or a claim 6.

[Claim 8] The manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by forming the size of the longitudinal direction of the aforementioned height, width of face, or a diameter in 0.1 micrometers or more and 10 micrometers or less in the aforementioned height formation process, or a claim 7.

[Claim 9] The manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by having the partition stage which separates the aforementioned semiconducting crystal A and the aforementioned ground substrate by generating the stress based on the coefficient-of-thermal-expansion difference of the aforementioned semiconducting crystal A and the aforementioned

ground substrate, and fracturing the aforementioned height using this stress by cooling or heating the aforementioned semiconducting crystal A and the aforementioned ground substrate, or a claim 8.

[Claim 10] The manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by carrying out 50-micrometer or more laminating of the aforementioned semiconducting crystal A in the aforementioned crystal-growth process, or a claim 9.

[Claim 11] It describes above in the aforementioned crystal-growth process. By adjusting the amount of feeding of an III group nitride system compound semiconductor The above in some [ at least ] corroded fields of the trough between the aforementioned heights of the aforementioned ground substrate The rate of crystal growth a of an III group nitride system compound semiconductor The manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by controlling difference (b-a) with the rate of crystal growth b in the parietal region of the aforementioned height to abbreviation maximum, or a claim 10.

[Claim 12] They are 1micromol / min about the aforementioned amount q of feeding. They are 100micromol / min above. The manufacture method of the semiconducting crystal according to claim 1 characterized by setting it as below.

[Claim 13] The manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by having the process which forms in the front face of the aforementioned height at least buffer-layer C which consists of " $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ )" after the aforementioned height formation process, or a claim 12.

[Claim 14] The manufacture method of the semiconducting crystal according to claim 13 characterized by forming the thickness of the aforementioned buffer-layer C in 0.1 micrometers or more and 1 micrometer or less.

[Claim 15] The manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by forming the aforementioned height in the aforementioned height formation process so that the aforementioned height may be arranged abbreviation regular intervals or an abbreviation fixed period, or a claim 14.

[Claim 16] The manufacture method of the semiconducting crystal according to claim 15 characterized by forming the aforementioned height in the aforementioned height formation process on the lattice point of the two-dimensional triangular grid to which one side makes the keynote the abbreviation equilateral triangle of 0.1 micrometers or more.

[Claim 17] It is the manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by the horizontal section configuration of the aforementioned height being an abbreviation equilateral triangle, an approximate regular hexagon, an approximate circle form, an abbreviation rectangle, an abbreviation rhombus, or an abbreviation parallelogram in the aforementioned height formation process, or a claim 16.

[Claim 18] The manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by forming the arrangement interval of the aforementioned height in 0.1 micrometers or more and 10 micrometers or less in the aforementioned height formation process, or a claim 17.

[Claim 19] The manufacture method of a semiconducting crystal given in any 1 term of the claim 1 characterized by forming the aforementioned reaction prevention layer to front reverse side both sides on the aforementioned ground substrate in the aforementioned reaction prevention process, or a claim 18.

[Claim 20] It is characterized by having the aforementioned semiconducting crystal manufactured by any 1 term of a claim 1 or a claim 19 using the manufacture method of the semiconducting crystal a publication as a crystal-growth substrate. III group nitride system compound semiconductor element.

[Claim 21] It is characterized by what was manufactured by the crystal growth which used as the crystal-growth substrate the aforementioned semiconducting crystal manufactured by any 1 term of a claim 1 or a claim 19 using the manufacture method of the semiconducting crystal a publication. III group nitride system compound semiconductor element.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention is on the ground substrate formed from silicon (Si). By growing up the crystal which consists of an III group nitride system compound semiconductor, it is related with the method of obtaining a semiconductor substrate. Moreover, this invention is manufactured considering such a semiconductor substrate as a crystal-growth substrate. It is related with III group nitride system compound semiconductor element.

[0002]

[Description of the Prior Art] The typical cross section of the conventional semiconducting crystal which carried out the crystal growth to drawing 5 on Si substrate (ground substrate) is illustrated. The MOCVD method was adopted as this crystal-growth process. In the semiconducting crystals (GaN crystal etc.) which are illustrated to this drawing 5 and which carried out elevated-temperature growth on Si substrate (ground substrate) by the Prior art, the "reaction section", transposition, a crack, etc. have arisen like

[0003]

[Problem(s) to be Solved by the Invention] Transposition and a crack cause degradation of a device property, when it is generated as a result of the operation of stress generated based on the coefficient-of-thermal-expansion difference and lattice constant difference between dissimilar materials and various kinds of semiconductor devices by such crystal-growth substrate are manufactured. Moreover, when the ground substrate which consists, for example of silicon (Si) etc. tends to be removed, it is going to leave only a growth phase and it is going to obtain the independent substrate (crystal), it is almost impossible to obtain the thing of a large area (more than 1cm<sup>2</sup>) by operation of the above-mentioned transposition, a crack, etc.

[0004] Moreover, near 1000 degrees C - 1150 degree C which is the crystal-growth temperature of the target semiconductor substrate (semiconducting crystal A), silicon (Si) and a gallium nitride (GaN) may react and GaN ("reaction section" in drawing) of a polycrystal may be formed. For this reason, there is a problem without easy obtaining the GaN substrate of a single crystal through a hot crystal-growth process.

[0005] Accomplishing this invention in order to solve the above-mentioned technical problem, the purpose is obtaining a quality semiconducting crystal without a crack or a polycrystal lump (reaction section), using comparatively cheap silicon (Si) as a ground substrate. Moreover, the further purpose of this invention is manufacturing a quality semiconductor device by using the above-mentioned semiconducting crystal manufactured with high quality as a crystal-growth substrate.

[0006]

[A The means for solving a technical problem, an operation, and an effect of the invention] The following means are effective in order to solve the above-mentioned technical problem. That is, the 1st means is on the ground substrate formed from silicon (Si) using a longitudinal direction crystal-growth operation. In the manufacturing process of a semiconductor substrate into which the semiconducting crystal A which consists of an III group nitride system compound semiconductor is grown up By the reaction prevention process which forms the reaction prevention layer which consists of the crystalline material B with high melting point or thermal resistance from a semiconducting crystal A on a ground substrate, and chemical or physical etching The height formation process which forms many heights from this reaction prevention layer, without exposing a ground substrate on one side of the side by which the reaction prevention layer was formed, It is establishing the crystal-growth process to which

the crystal growth of the semiconducting crystal A is carried out until it makes a part of front face [ at least ] of this height into the first growth side where a semiconducting crystal A starts a crystal growth. this growth side is connected mutually respectively and it grows up to be a series of abbreviation flat surfaces at least.

[0007] However, even if the above-mentioned semiconductor substrate which consists of above-mentioned semiconducting crystals A is monolayer structure, it may be a double layer structure (multilayer structure). moreover, to general "III group nitride system compound semiconductor" said here The semiconductor of the arbitrary mixed-crystal ratios expressed with 2 yuan, 3 yuan, or 4 yuan the general formula which " $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ ) N" Changes is contained. Furthermore, also let the semiconductor with which p type or the n type impurity was added be the criteria of the "III group nitride system compound semiconductor" of this specification. Moreover, the above Let the semiconductor which replaced the part of the III group elements (aluminum, Ga, In) with boron (B), the thallium (Tl), etc., or replaced some nitrogen (N) by Phosphorus (P), arsenic (As), antimony (Sb), the bismuth (Bi), etc. be the criteria of the "III group nitride system compound semiconductor" of this specification.

[0008] moreover — as the impurity of the above-mentioned p type — magnesium (Mg) — or calcium (calcium) etc. can be added Moreover, as an impurity of the above-mentioned n type, silicon (Si), sulfur (S), a selenium (Se), a tellurium (Te) or germanium (germanium), etc. can be added, for example. Moreover, these impurities may add two or more elements simultaneously, and may add both molds (p type and n type) simultaneously.

[0009] Drawing 1 is a typical cross section in the manufacturing process of the semiconducting crystal which explains the fundamental concept of this invention in instantiation. This reaction prevention layer is for preventing the reaction of Si and the semiconductor of a gallium-nitride system. Thus, by forming the reaction prevention layer (crystalloid material B) with the melting point or thermal resistance higher than the semiconductor (semiconducting crystal A) of a gallium-nitride system which consists, for example of SiC, AlN, etc. on a ground substrate (Si substrate) When carrying out the crystal growth of the semiconductor (semiconducting crystal A) of a gallium-nitride system for a long time, it is lost that the aforementioned "reaction section" is formed near a silicon interface.

[0010] Moreover, the semiconductor (semiconducting crystal A) of a gallium-nitride system grows up to be also a longitudinal direction with the common crowning of a height as the starting point by forming many heights. Thereby, it is hard coming to generate the stress based on the lattice constant difference between a reaction prevention layer and the semiconducting crystal A of a gallium-nitride system, and stress is eased sharply.

[0011] Moreover, by forming many heights, it is hard coming to work like and, therefore, the crack which forms a lengthwise crack in a reaction prevention layer and which was penetrated to lengthwise stops easily easing the stress which acts on a reaction prevention layer, and being able to generate such stress in a reaction prevention layer. For this reason, in a reaction prevention layer without the crack penetrated to lengthwise, since a ground substrate (Si substrate) and the semiconductor (semiconducting crystal A) of a gallium-nitride system can be intercepted completely, generating of the above "reaction sections" can be prevented more certainly.

[0012] Moreover, since the contact part of a reaction prevention layer and a semiconductor substrate (namely, the desired semiconducting-crystal layer A) is narrowly limited by, for example, forming the above heights, the distortion based on both lattice constant difference cannot become large easily, and "the stress based on the lattice constant difference between a ground substrate and a semiconductor substrate" is eased. For this reason, in case a semiconductor substrate (the desired semiconducting crystal A) carries out a crystal growth, the unnecessary stress committed to the semiconductor substrate under growth is suppressed, and the generating density of dislocation or a crack is reduced. namely, the above stress relaxation operation — the semiconductor (semiconducting crystal A) of a gallium-nitride system — dislocation — generating — being hard — moreover, the generating density of a crack is also boiled markedly and can be cut down

[0013] It becomes possible [ obtaining the quality semiconductor substrate (semiconducting crystal A) without "the above-mentioned reaction section" and an above-mentioned crack by which dislocation density was suppressed enough according to the above operation and the synergistic effect ], or easy.

[0014] In addition, when buffer-layer C in this view should just take the form inserted if needed and this invention is carried out, such a buffer layer is not the component which is not necessarily needed. That is, when not preparing a buffer layer, it is possible to acquire an operation and effect of this invention more than fixed.

[0015] Moreover, in the 1st means of the above [ the 2nd means ], an empirical formula fills "Al<sub>x</sub>Ga<sub>1-x-y</sub>N (0 ≤ x < 1, 0 < y < 1, x+y < 1)" for the above-mentioned semiconducting crystal A. It is constituting from an III group nitride system compound semiconductor.

[0016] Moreover, the 3rd means is using carbonization silicon (SiC), aluminium nitride (AlN), or a spine (MgAl<sub>2</sub>O<sub>4</sub>) in the above 1st or the 2nd means as a crystalloid material B which forms a reaction prevention layer.

[0017] Moreover, the 4th means is that an aluminum composition ratio uses at least 0.30 or more AlGa (s), AlInN, or AlGaInN in the above 1st or the 2nd means as a crystalloid material B which forms a reaction prevention layer. Furthermore, as a crystalloid material B, it is desirable for a lattice constant to choose a comparatively firm heat-resistant (melting point) stable high material of a less than 3.18 Å interatomic bonding force.

[0018] Moreover, the 5th means is that a semiconducting crystal A forms between heights the cavity b which a laminating is not carried out in any the above 1st or 4th one means by growing up a growth side into a longitudinal direction, and making it connect mutually respectively. Since the growth side of an abbreviation plane may become is hard to be acquired after connection if too not much large although such a cavity is so desirable that it is made greatly, cautions are required. Moreover, if too small, since the stress relaxation operation by longitudinal direction growth will also become small, cautions are required.

[0019] Moreover, the 6th means is forming the thickness in the trough of the reaction prevention layer between heights in 0.1 micrometers or more and 2 micrometers or less in any the above 1st or 5th one means.

[0020] If this thickness is too thin, since nonuniformity will follow on thickness, or since the above-mentioned crystalloid material B which forms a reaction prevention layer is not the matter stable enough, it becomes impossible to intercept completely a gallium (Ga) or a gallium nitride (GaN), and silicon (Si). Therefore, the effect of preventing formation of "the reaction section (GaN of a polycrystal)" based on these reactions is no longer acquired fully.

[0021] When the thickness in the trough of a reaction prevention layer is too thick, a crack becomes easy to go into the trough of a reaction prevention layer, and it becomes impossible moreover, to intercept completely a gallium (Ga) or a gallium nitride (GaN), and silicon (Si). Therefore, the effect of preventing formation of the "reaction section" based on these reactions is no longer acquired fully. Moreover, if the thickness in the trough of a reaction prevention layer is too thick, since only the part is too many needed, it is not desirable in respect of a production cost etc. [ of the laminating time or the charge of plywood of a reaction prevention layer ]

[0022] Moreover, the 7th means is forming the lengthwise height of a height in 0.5 micrometers or more and 20 micrometers or less in the height formation process of any the above 1st or 6th one means. The lengthwise height of a height has 1 micrometers or more and good 5 micrometers or less more desirably

[0023] It becomes [ the aforementioned cavity becomes small, or it becomes inadequate longitudinal direction growing up / of a semiconducting crystal A / it, and / stress relaxation acting ] inadequate and is not desirable if this height is too low. Moreover, if this height is too high, since only the part is too many needed, it is not desirable in respect of a production cost etc. [ of laminating time, etching time, or a charge of plywood of a reaction prevention layer ]

[0024] Moreover, the 8th means is forming the size of the longitudinal direction of a height, width of face, or a diameter in 0.1 micrometers or more and 10 micrometers or less in the height formation process of any the above 1st or 7th one means. More desirably, although it is dependent also on the operation conditions of a crystal growth, the size of the longitudinal direction of a height, width of face, or a diameter has good about 0.5–5 micrometers.

[0025] If this size is too thick, the influence of stress which works to a semiconductor substrate (growth phase) based on a lattice constant difference will become large, and it will become easy to increase the number of dislocation of a semiconductor substrate. Moreover, if too thin, the own formation of a height becomes difficult, or the rate of crystal growth b of the parietal region of a height becomes slow, and it is not desirable.

[0026] Moreover, the 9th means is preparing the partition stage which separates a semiconducting crystal A and a ground substrate by generating the stress based on the coefficient-of-thermal-expansion difference of a semiconducting crystal A and a ground substrate, and fracturing a height using this stress by setting for any the above 1st or 8th one means, and cooling or heating a semiconducting crystal A and a ground substrate.

[0027] For example, on the ground substrate which has many heights so that it may illustrate to draw 1 When growing up the semiconductor substrate (semiconducting crystal A) which consists of an III group nitride system compound, a semiconducting crystal A can form the "cavity" by which a lamination is not carried out between each height (side of a height) by adjusting the size and arrangement interval of a height, crystal-growth terms and conditions, etc. For this reason, if a semiconductor substrate (semiconducting crystal A) is made thick enough as compared with the height of a height, internal stress or external stress will become easy to act on this height intensively. When it acts as shearing stress to a height etc. and this stress becomes large, a height fractures the result, especially such stress. Therefore, if this stress is used, it will become possible to separate a ground substrate and a semiconductor substrate easily (exfoliation). Moreover, it becomes easy to concentrate stress (shearing stress) on a height, so that the above-mentioned "cavity" is formed greatly. That is, according to the 9th above-mentioned means, since the above-mentioned stress is easily generable, a semiconducting crystal A and a ground substrate are easily separable.

[0028] In addition, in case a ground substrate and a semiconductor substrate are separated (ablation), part of semiconductor substrate may remain in a ground substrate side, or a part of ground substrate (example : fracture wreckage of a height) may remain in a semiconductor substrate side. Namely, the above-mentioned partition stage is not premised on perfect separation of each material which makes some wreckage of such material there be nothing (requirement). Removal of such fracture wreckage etc. can also be carried out using the means of common knowledge, such as wrapping and etching, if needed.

[0029] Moreover, the 10th means is carrying out 50-micrometer or more laminating of the semiconducting crystal A in the above 1st or the crystal-growth process of any 9th one means. Since the tensile stress to a semiconductor substrate (semiconducting crystal A) is eased, the generating density of the transposition of a semiconductor substrate or a crack can be decreased and a semiconductor substrate can be simultaneously strengthened so that this thickness is thick, it becomes that it is easy to centralize the above-mentioned stress on the above-mentioned height.

[0030] Moreover, the thickness of a ground substrate (Si substrate) has desirable 300 micrometers or less. The tensile stress to a semiconductor substrate (semiconducting crystal A) is eased, and the generating density of the transposition of a semiconductor substrate or a crack decreases, so that this thickness is thin. However, if thickness of a ground substrate is set to less than 50 micrometers, a problem will arise about own absolute intensity of a ground substrate, and it will become difficult to maintain high productivity. Therefore, in order to secure the quality and the productivity of a crystal-growth substrate to manufacture, the thickness of a ground substrate has 50 micrometers or more desirable 300 micrometers or less.

[0031] moreover, the thickness of the semiconductor substrate (semiconducting crystal A) which carries out a crystal growth relatively — the thickness of a ground substrate (Si substrate), and abbreviation — it is desirable to suppose that it is equivalent or to carry out to more than it. The tensile stress to a semiconductor substrate becomes that it tended to ease such a setup, and it becomes possible to suppress the transposition of a semiconductor substrate, and generating of a crack more sharply than before. This effect becomes so large that a semiconductor substrate is thickened relatively.

[0032] moreover, the 11th means is set at the above 1st or the crystal-growth process of any 10th one means — it can set to some [ at least ] corroded fields of the trough between the heights of a ground substrate by adjusting the amount  $q$  of feeding of an III group nitride system compound semiconductor. It is controlling the difference  $(b-a)$  of the rate of crystal growth  $a$  of an III group nitride system compound semiconductor, and the rate of crystal growth  $b$  in the parietal region of a height to abbreviation maximum.

[0033] According to this means, the rate of crystal growth near the parietal region of a height becomes large relatively, and the crystal growth near [ above ] a corroded field is suppressed comparatively, and becomes dominant [ the crystal growth from near the parietal region ]. Consequently, longitudinal direction growth of the semiconductor substrate (semiconducting crystal A) started from near the parietal region of a height becomes remarkable, and "the stress based on the lattice constant difference between a reaction prevention layer and a semiconductor substrate" committed to a semiconductor substrate at the time of the crystal growth of a semiconductor substrate is eased. Therefore, the crystal structure of a semiconductor substrate is stabilized and it is hard coming to generate transposition and a crack in a semiconductor substrate. Moreover, if longitudinal direction growth (ELO) of a semiconductor substrate becomes remarkable, a comparatively big cavity will become easy to be



made in the side (between each height) of a height, for example.

[0034] When irregularity is formed on the front face of a ground substrate a suitable size, an interval, a period, generally except the periphery part near the periphery side attachment wall of a ground substrate, the direction of the amount of supply per the unit time and unit area of crystal material of a crevice (trough) tends to decrease compared with near the upper surface of heights (height). This inclination becomes possible [ controlling the above-mentioned difference (b-a) to abbreviation maximum ] by controlling these terms and conditions the optimal or suitably, although it depends in the flow rate of the gas stream of crystal material, temperature, the direction, etc.

[0035] Moreover, it sets for the 11th above-mentioned means, and the 12th means is 1micromol / min about the amount q of feeding. They are 100micromol / min above. It is setting it as below.

[0036] The more desirable above-mentioned amount q of feeding is 5micromol / min. They are 90micromol / min above. The following is good. Furthermore, although it depends also on terms and conditions, such as specification of ground substrates, such as a size of the height formed, and a form, an arrangement interval, a kind of feed, and the direction of feeder current, a crystal-growth method, a desirable value, they are 10-80micromol / min in general. A grade is ideal. Since it will become difficult to control the above-mentioned difference (b-a) to abbreviation maximum if this value is too large, it becomes difficult to form a big cavity between each height (side of a height). As for the crystallinity of the single crystal of a semiconductor substrate, it becomes easy to deteriorate and is not desirable to follow, in such a case for the stress in the crystal based on a lattice constant difference comparatively to be hard to be eased, and for dislocation to occur etc.

[0037] moreover, the time of stress (shearing stress) separating a ground substrate and a semiconductor substrate — a height — if there is no cavity of the side or this cavity is small — a height — stress — concentrating — being hard — fracture of a height is hard coming to happen and is not desirable. On the other hand, if the amount q of feeding is too small, crystal-growth time will be taken too much and it will become disadvantageous in respect of productivity, and it is not desirable.

[0038] Moreover, the 13th means is establishing the process which forms buffer-layer C which consists of " $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ )" on the surface of a height at least after a height formation process in any the above 1st or 12th one means.

[0039] However, the above-mentioned buffer-layer C is semiconductor layers which grow near 400 degrees C - 1100 degree C, such as AlN and AlGa<sub>0.5</sub>N. Buffer-layer C of another further the above [ C / buffer-layer / this ], and the interlayer of \*\*\*\* composition (example : AlN and AlGa<sub>0.5</sub>N) (it may only be hereafter called a "buffer layer") other periodic or layers and alternation — or you may carry out a laminating into a semiconductor substrate (semiconducting crystal A) so that multilayer structure may be constituted

[0040] The same operation principle as the former of being able to ease the stress committed to the semiconductor substrate (growth phase) resulting from a lattice constant difference by the laminating of these buffer layers (or interlayer) enables it to raise crystallinity. Moreover, in the case of carbonization silicon (SiC) etc., such an operation and an effect have the especially remarkable crystalloid material B which constitutes a reaction prevention layer.

[0041] Moreover, the 14th means is forming the thickness of buffer-layer C in 0.01 micrometers or more and 1 micrometer or less in the 13th above-mentioned means.

[0042] By this means, the semiconducting crystal A of the request formed on a buffer layer (example : GaN layer) can be grown up into a longitudinal direction good.

[0043] In addition, the thickness of a buffer layer has 0.1 micrometers or more and good 0.5 micrometers or less more desirably, although about 0.01 micrometers - about 1 micrometer is as above mentioned a in general appropriate range. A cavity becomes easy to become small and is not desirable if this thickness is too thick. Moreover, if this thickness is made thin too much, it will become difficult to form a buffer layer to abbreviation homogeneity. If the membrane formation nonuniformity (part which is not fully formed) of a buffer layer arises in near the upper part of a height especially, it becomes easy to produce nonuniformity also in crystallinity, and is not desirable.

[0044] Moreover, the 15th means is forming a height so that a height's may be arranged abbreviation regular intervals or an abbreviation fixed period in the height formation process of any the above 1st or 14th one means.

[0045] Thereby, it becomes equal on the whole omitting the growth conditions of longitudinal direction growth, and it is hard coming to generate nonuniformity in a crystalline quality. Moreover, by this means since the above-mentioned cavity serves as a size with an equal abbreviation respectively and becomes possible [ distributing the above-mentioned shearing stress to each height equally / abbreviation ],

fracture of all heights arises without nonuniformity and separation with a ground substrate and a semiconductor substrate can carry out certainly. moreover, the crystal-growth method the late crystal growth method of the rate of crystal growth to the rate of crystal growth is quick since it is hard coming to generate local variation at time until the upper part of the trough between heights is completely covered by the semiconductor substrate — on the way — the case where come out and a crystal-growth method is changed — the time — exact — an early stage — or it becomes easy it to be decided for that it will be a meaning

[0046] Moreover, the 16th means is forming a height on the lattice point of the two-dimensional triangular grid to which one side's makes the keynote the abbreviation equilateral triangle of 0.1 micrometers or more in the height formation process of the 15th above-mentioned means.

[0047] By this means, the 15th above-mentioned means can be carried out correctly and certainly more concretely, and, therefore, the number of dislocation can be reduced certainly.

[0048] Moreover, the 17th means is making the horizontal section configuration of a height into an abbreviation equilateral triangle, an approximate regular hexagon, an approximate circle form, an abbreviation rectangle, an abbreviation rhombus, or an abbreviation parallelogram in the height formation process of any the above 1st or 16th one means.

[0049] the direction of the crystallographic axis of the crystal formed from an III group nitride system compound semiconductor of this means — each part — a set — easy — arbitrary horizontal directions: since it becomes — receiving — length with a horizontal height (size) — abbreviation — since it can restrict uniformly, the number of dislocation can be suppressed Since a right hexagon, an equilateral triangle, a parallelogram, etc. especially tend to agree with the crystal structure of a semiconducting crystal, it is more desirable. Moreover, a round shape and a rectangle have the merit compared with the present condition of the present general processing technical level referred to as being easy to form in respect of a manufacturing technology.

[0050] Moreover, the 18th means is forming the arrangement interval of a height in 0.1 micrometers or more and 10 micrometers or less in the height formation process of any the above 1st or 17th one means. More desirably, although it is dependent also on the operation conditions of a crystal growth, the arrangement interval of a height has good about 0.5–8 micrometers. However, this arrangement interval means the distance between the central point of each height which approaches mutually.

[0051] this means — the upper part of the trough of a height — the target semiconductor substrate (semiconducting crystal A) — a wrap — while things become possible, it becomes possible to form a cavity between heights (trough of a height) If this value is too small, an operation of ELO will no longer be obtained hardly, and a stress relaxation operation cannot fully be obtained, but crystallinity will deteriorate. Unless the cavity formed becomes small too much and makes thickness of a semiconductor substrate larger than required, it becomes impossible moreover, to fracture a height easily.

[0052] Moreover, if this value becomes large too much, it will become impossible to cover the upper part of the trough of a height by the semiconductor substrate certainly, and a semiconductor substrate (semiconducting crystal A) homogeneous [ crystallinity ] and good will no longer be obtained. Or if this value is still too larger, the exposed surface of a trough will become vast too much, and an operation of ELO will no longer be obtained hardly, and a cavity will no longer be formed at all.

[0053] Moreover, the 19th means is forming a reaction prevention layer to front reverse side both sides on a ground substrate in the reaction prevention process of any the above 1st or 18th one means. Thereby, the curvature (curve) of the ground substrate (Si substrate) produced after a reaction prevention process can be prevented or eased.

[0054] Moreover, in the 20th means and III group nitride system compound semiconductor element, it is having the semiconducting crystal manufactured by any the above 1st or 19th one means as a crystal-growth substrate. According to this means, it becomes crystallinity is good and more possible [ manufacturing III group nitride system compound semiconductor element ] than a semiconductor with little internal stress, or easy.

[0055] moreover, crystal growth which used as the crystal-growth substrate the semiconducting crystal which boiled and set the 21st means and was manufactured by any the above 1st or 19th one means It is manufacturing III group nitride system compound semiconductor element. According to this means, it becomes crystallinity is good and more possible [ manufacturing III group nitride system compound semiconductor element ] than a semiconductor with little internal stress, or easy. The aforementioned technical problem is rationally [ effectively or ] solvable with the means of the above this invention.

[0056]

[Embodiments of the Invention] You may choose each manufacture conditions as arbitration out of a

degree in carrying out this invention, respectively. Moreover, you may combine each of these manufacture conditions arbitrarily. First, as a method of forming an III group nitride system compound semiconductor layer first, an organic-metal vapor growth (MOCVD or MOVPE) is desirable. However, a molecular-beam vapor growth (MBE), a halide vapor growth (Halide VPE), a liquid phase grown method (LPE), etc. may be used, and each class may be formed by the respectively different growth method. [0057] Moreover, about a buffer layer, it is desirable to form in the inside of a crystal-growth substrate or a ground substrate from the reason of correcting grid mismatching. III group nitride system compound semiconductor  $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ ) made to form at low temperature as these buffer layers when carrying out the laminating of the buffer layer (the aforementioned interlayer) into a semiconductor substrate (semiconducting crystal A) especially —  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) can be used more preferably. A monolayer is sufficient as this buffer layer, and it is good also as a multiplex layer which is [ composition ] different. The formation method of a buffer layer may be formed at 380–420-degree C low temperature, and the range of it is 1000–1180 degrees C conversely, and it may be formed by the MOCVD method. Moreover, the buffer layer which consists of AlN by the reactive sputter method can also be formed using DC magnetron-sputtering equipment by making high grade metal aluminum and nitrogen gas into raw material.

[0058] The buffer layer of general formula  $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ , and a composition ratio are arbitrary) can be formed similarly. Furthermore, a vacuum deposition, the ion plating method, the laser ablation method, and the efficient consumer response method can be used. As for the buffer layer by the physical vapor deposition, it is desirable to carry out at 200–600 degrees C. is 300–600 degrees C still more desirably, and is 350–450 degrees C still more desirably. When physical vapor depositions, such as these sputtering methods, are used, buffer layer thickness has desirable 100–3000 Å. Still more desirably, 100–400 Å is desirable and is 100–300 Å most desirably.

[0059] There is the method of forming by turns as 600 degrees C or less and 1000 degrees C or more in formation temperature about the layer with the same composition which forms by turns the layer which consists, for example of  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ), and a GaN layer as a multiplex layer. Of course, these may be combined and a multiplex layer may carry out the laminating of three or more sorts of III group nitride system compound semiconductor  $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ ). Generally the buffer coat is amorphous and an interlayer is a single crystal. A buffer coat and an interlayer may be formed a term two or more rounds as one period, and a repeat is good an arbitrary period. Crystallinity becomes good, so that there are many repeats.

[0060] Whether it replaces a part of composition of an III group element with boron (B) and a thallium (Tl) or the III group nitride system compound semiconductor of a buffer layer and the upper layer replaces composition of nitrogen (N) part by Phosphorus (P), the arsenic (As), antimony (Sb), and the bismuth (Bi), it can apply this invention substantially. Moreover, what doped the grade which cannot display these elements on composition may be used. For example,  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ ) which is the III group nitride system compound semiconductor which does not have an indium (In) and an arsenic (As) in composition may be compensated for the extended distortion of the crystal by the omission of a nitrogen atom with compressive strain with doping the big indium (In) of an atomic radius from aluminum (aluminum) and a gallium (Ga), and doping the big arsenic (As) of an atomic radius from nitrogen (N), and crystallinity may be

[0061] In this case, since acceptor impurity goes into the position of an III group atom easily, p type crystal can also be obtained by the AZUO loan. Thus, together with the invention in this application, penetration transposition can also be further lowered to 100 or about 1/1000 by improving crystallinity. In the case of the basal layer in which the buffer layer and the III group nitride system compound semiconductor layer are formed two or more periods, it is still better for each III group nitride system compound semiconductor layer to dope an element with a bigger atomic radius than a main composition element. In addition, when it constitutes as a light emitting device, it is desirable to use the 2 yuan system of an III group nitride system compound semiconductor or a 3 yuan system originally.

[0062] When forming an n type III group nitride system compound semiconductor layer, IV group elements, such as Si, germanium, Se, Te, and C, or VI group element can be added as an n type impurity. Moreover, as a p type impurity, II group elements, such as Zn, Mg, Be, calcium, Sr, and Ba, or IV group element can be added. You may dope plurality or n type impurity, and p type impurity for these in the same layer.

[0063] It is also arbitrary to reduce the transposition of an III group nitride system compound semiconductor layer using longitudinal direction epitaxial growth. Under the present circumstances, the method of the thing using a mask and the thing arbitration which buries a level difference by etching can

be taken.

[0064] An etching mask can be with oxides, such as polycrystal semiconductors, such as polycrystal silicon and a polycrystal nitride semiconductor, oxidation silicon ( $\text{SiOx}$ ), a silicon nitride ( $\text{SiNx}$ ), titanium oxide ( $\text{TiOX}$ ), and a zirconium oxide ( $\text{ZrOX}$ ), a nitride, titanium (Ti), refractory metals like a tungsten (W) and these multilayers. These membrane formation methods are arbitrary besides vapor growths, such as vacuum evaporation, a spatter, and CVD.

[0065] Although reactant ion beam etching (RIBE) is desirable in case it etches, the arbitrary etching methods can be used. As what does not form the level difference which has the side perpendicular to a substrate side, the cross section which does not have a base in the pars basilaris ossis occipitalis of a level difference by anisotropic etching may form a V character-like thing.

[0066] Semiconductor devices, such as FET and a light emitting device, can be formed in an III group nitride system compound semiconductor. In the case of a light emitting device, although a luminous layer can consider the thing of a structure besides multiplex quantum well structure (MQW) and single quantum well structure (SQW), hetero structure, and double hetero structure, you may form by the pin junction or pn junction.

[0067] Hereafter, this invention is explained based on a concrete example. However, this invention is not limited to the example shown below.

(The 1st example) The outline of the manufacture procedure of the semiconducting crystal (crystal-growth substrate) in the example of this invention is illustrated hereafter.

[0068] [1] A reaction prevention process book reaction prevention process is a manufacturing process which carries out the laminating of the reaction prevention layer on a ground substrate (Si substrate). At this reaction prevention process, about 1.5 micrometers of reaction prevention layers which consist of carbonization silicon ( $\text{SiC}$ ) are first formed by the vapor growth (MOVPE) on Si (111) substrate. In addition, in order to prevent the curvature of a wafer, you may form a  $\text{SiC}$  film to front reverse side both sides.

[0069] [2] Form the height B1 of the shape of an approximate circle pilaster with a diameter [ of about 1 micrometer ], and a height of about 1 micrometer at intervals of about 2-micrometer arrangement by the dry etching using photo lithography on the reaction prevention layer of the height formation process above ( drawing 2 ). A height B1 is formed so that the center at the base of a pillar of a height B1 may be arranged on each lattice point of the two-dimensional triangular grid which makes the keynote the abbreviation equilateral triangle whose one side is about 2 micrometers as an array gestalt. However, thickness of a ground substrate is set to about 200 micrometers.

[0070] [3] At a crystal-growth process book crystal-growth process, as shown in drawing 4 , carry out growth process until a crystal-growth side is mutually connected respectively from the upper surface (initial state) of a height B1 and grows up to be a series of abbreviation planes according to an organometallic compound vapor growth (the MOVPE method), and carry out a growth process until it grows up to be the thick film this semiconductor substrate (crystal layer) of whose is about 200 micrometers after that according to a hydride vapor growth (the HVPE method). In addition, at this crystal-growth process, it is ammonia ( $\text{NH}_3$ ). Gas, carrier gas ( $\text{H}_2$ ,  $\text{N}_2$ ), trimethylgallium ( $\text{Ga}_3(\text{CH}_3)$ ) gas (it is described as "TMG" below), and trimethylaluminum (aluminum3 ( $\text{CH}_3$ )) gas (it is described as "TMA" below) are used.

[0071] (a) Organic washing and acid treatment wash first the ground substrate ( drawing 2 ) in which the above-mentioned height B1 was formed, and equip the susceptor laid in the reaction chamber of crystal-growth equipment, and bake a ground substrate at the temperature of 1100 degrees C, passing  $\text{H}_2$  to a reaction chamber by the ordinary pressure.

(b) Next, supply  $\text{H}_2$ ,  $\text{NH}_3$ , TMG, and TMA on the above-mentioned ground substrate according to the MOVPE method, and form an AlGaIn buffer layer (buffer-layer C). The crystal-growth temperature of this AlGaIn buffer-layer C is about 1100 degrees C, and thickness is about 0.2 micrometers. ( Drawing 3 )

[0072] (c) On this AlGaIn buffer layer (buffer-layer C), it is  $\text{H}_2$  and  $\text{NH}_3$  in a part of semiconductor substrate A, i.e., the GaN layer of about 5 micrometers of thickness. And TMG was supplied and the crystal growth was carried out at the growth temperature of 1075 degrees C. According to this process as shown in drawing 4 , a part of semiconductor substrate (GaN layer A) carries out longitudinal direction growth, and a big cavity is made in the side of a trough B1, i.e., a height. In addition, the TMG speed of supply at this time is 40micromol / min in general. It is a grade and the rate of crystal growth of a GaN layer (semiconducting crystal A) is about about 1 micrometer/Hr.

[0073] (d) According to the hydride vapor growth (the HVPE method), the crystal growth of the above-

mentioned GaN layer (semiconducting crystal A) was further carried out to 200 micrometers after that. The rate of crystal growth of the GaN layer in this HVPE method is about about 45 micrometer/Hr.

[0074] [4] Partition stage (a) The wafer which has a ground substrate (Si substrate) is cooled to abbreviation ordinary temperature after the above-mentioned crystal-growth process, passing ammoni. (NH<sub>3</sub>) gas to the reaction chamber of crystal-growth equipment. What is necessary is just to make the cooling rate at this time into the "-50 degree-C/min—5 degree C/min" grade in general.

[0075] (b) When these were taken out from the reaction chamber of crystal-growth equipment after that, the GaN crystal (semiconducting crystal A) which exfoliated from the ground substrate (Si substrate) was obtained. However, this crystal is a thing [ that some / small / wreckage of AlGaIn buffer-layer C and the fracture wreckage of a height B1 have remained at the rear face of a GaN layer (semiconductor substrate) ].

[0076] [5] Remove the fracture wreckage of the height B1 which consists of Si which remained in the rear face of a GaN crystal by wrapping processing after the partition stage of the fracture wreckage removal process above. However, you may carry out this fracture wreckage removal process by etching processing using the mixed liquor which added the nitric acid to fluoric acid.

[0077] By the above manufacture method, the semiconductor substrate (semiconducting crystal A) of the good GaN crystal of the crystallinity of about 200 micrometers of thickness which was very excellent (GaN layer), i.e., the request which became independent of a ground substrate, can be obtained.

[0078] In addition, as a crystalloid material B which forms a reaction prevention layer, the operation and effect as the above-mentioned example and abbreviation that AlN and Al<sub>x</sub>Ga<sub>1-x</sub>N (0.30 ≤ x ≤ 1) are also the same are acquired. Generally carbonization silicon (SiC, 3 C-SiC), aluminum nitride (AlN), a spinel (MgAl<sub>2</sub>O<sub>4</sub>), or an aluminum composition ratio can use at least 0.30 or more AlGaIn(s), AlInN, or AlGaInN more as a crystalloid material B which forms a reaction prevention layer.

[0079] Moreover, the semiconducting crystal A which forms the target semiconductor substrate is not limited to a gallium nitride (GaN), and can choose arbitrarily the aforementioned general "III group nitride system compound semiconductor." Moreover, the target semiconductor substrate (semiconducting crystal A) is good also as what has multilayer structure.

[0080] Moreover, although the height and trough of a ground substrate are constituted from an above-mentioned example by a vertical plane and the level surface as illustrated to drawing 2, you may form these from arbitrary slant faces, curved surfaces, etc. Therefore, the cross-section configuration of the trough formed on the ground substrate illustrated to drawing 2 (c) may be formed in the form of for example, the abbreviation type for U characters, the abbreviation type for V characters, etc. besides the \*\*\*\* type of an abbreviation rectangle, and, generally these configurations, a size, an interval, arrangement, orientation, etc. are arbitrary.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The typical cross section in the manufacturing process of the semiconducting crystal which explains the fundamental concept of this invention in instantiation.

[Drawing 2] The typical perspective diagram (a) of the partial fragment of the ground substrate (Si substrate) concerning the example of this invention, a plan (b), and a cross section (c).

[Drawing 3] The typical perspective diagram (a) of the ground substrate by which buffer-layer C (AlGaIn layer) was formed, a plan (b), and a cross section (c).

[Drawing 4] The typical perspective diagram (a) of the ground substrate to which the laminating of the semiconductor substrate (semiconducting crystal A) was carried out, a plan (b), and a cross section (c).

[Drawing 5] The typical cross section which illustrates the conventional semiconducting crystal which carried out the crystal growth on Si substrate (ground substrate).

[Description of Notations]

Si -- Silicon substrate (ground substrate)

A -- Semiconducting crystal (the target semiconductor substrate)

B -- Reaction prevention layer (crystalloid material)

B1 -- Height (a part of reaction prevention layer)

C -- Buffer layer

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-293698

(P2002-293698A)

(43) 公開日 平成14年10月9日 (2002. 10. 9)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームト\* (参考)

C 3 0 B 29/38

C 3 0 B 29/38

D 4 G 0 7 7

H 0 1 L 21/205

H 0 1 L 21/205

5 F 0 4 5

審査請求 未請求 請求項の数21 O L (全 11 頁)

(21) 出願番号 特願2001-98870(P2001-98870)

(22) 出願日 平成13年3月30日 (2001. 3. 30)

(71) 出願人 000241463

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑1  
番地

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番  
地の1

(74) 代理人 100087723

弁理士 藤谷 修

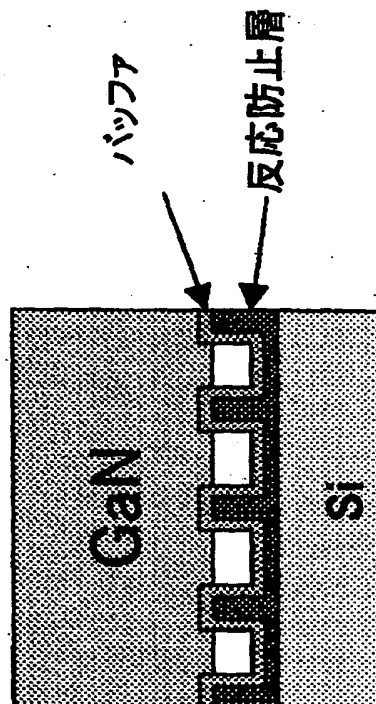
最終頁に続く

(54) 【発明の名称】 半導体基板の製造方法及び半導体素子

(57) 【要約】

【課題】 Si基板上にクラックや多結晶塊等のない半導体単結晶を作る。

【解決手段】 反応防止層は、Siと窒化ガリウム系の半導体との反応を防止するためのものであり、この様に下地基板 (Si基板) 上に窒化ガリウム系の半導体 (半導体結晶A) よりも融点又は耐熱性が高い例えばSiCやAlN等より成る反応防止層 (晶質材料B) を成膜することにより、窒化ガリウム系の半導体 (半導体結晶A) を長時間結晶成長させる場合においても、シリコン界面付近にGaN多結晶塊などから成る「反応部」が形成されることが無くなる。また、突起部を多数形成することにより、窒化ガリウム系の半導体 (半導体結晶A) は、突起部の平頂部を起点として横方向にも成長する。これにより、反応防止層と半導体結晶Aとの間の応力が大幅に緩和され、反応防止層にも縦方向の貫通クラックが生じないので、Si基板が確実に遮断でき、反応防止作用も確実になる。



## 【特許請求の範囲】

【請求項1】 横方向結晶成長作用を利用して、シリコン(Si)より形成された下地基板上にIII族窒化物系化合物半導体から成る半導体結晶Aを成長させることにより、半導体基板を得る方法であって、

前記下地基板上に、前記半導体結晶Aよりも融点又は耐熱性が高い晶質材料Bより成る反応防止層を成膜する反応防止工程と、

化学的又は物理的なエッチングにより、前記反応防止層が成膜された側の片面に前記下地基板を露出させずに前記反応防止層から多数の突起部を形成する突起部形成工程と、

前記突起部の表面の少なくとも一部を前記半導体結晶Aが結晶成長を開始する最初の成長面とし、この成長面が各々互いに連結されて少なくとも一連の略平面に成長するまで、前記半導体結晶Aを結晶成長させる結晶成長工程とを有することを特徴とする半導体結晶の製造方法。

【請求項2】 前記半導体結晶Aは、組成式が「 $Al_x Ga_y In_{(1-x-y)} N$  ( $0 \leq x < 1$ ,  $0 < y \leq 1$ ,  $x + y \leq 1$ )」を満たすIII族窒化物系化合物半導体から成ることを特徴とする請求項1に記載の半導体結晶の製造方法。

【請求項3】 前記反応防止層を形成する前記晶質材料Bは、炭化シリコン(SiC)、窒化アルミニウム( $AlN$ )、又はスピネル( $MgAl_2O_4$ )より成ることを特徴とする請求項1又は請求項2に記載の半導体結晶の製造方法。

【請求項4】 前記反応防止層を形成する前記晶質材料Bは、アルミニウム組成比が少なくとも0.30以上の $AlGa$ N、 $AlIn$ N、或いは $AlGaIn$ Nより成ることを特徴とする請求項1又は請求項2に記載の半導体結晶の製造方法。

【請求項5】 前記成長面を横方向に成長させて各々互いに連結させることにより、前記突起部間に、前記半導体結晶Aが積層されていない空洞を形成することを特徴とする請求項1乃至請求項4の何れか1項に記載の半導体結晶の製造方法。

【請求項6】 前記突起部間の前記反応防止層の谷部における膜厚を $0.1 \mu m$ 以上、 $2 \mu m$ 以下に形成することを特徴とする請求項1乃至請求項5の何れか1項に記載の半導体結晶の製造方法。

【請求項7】 前記突起部形成工程において、前記突起部の縦方向の高さを $0.5 \mu m$ 以上、 $20 \mu m$ 以下に形成することを特徴とする請求項1乃至請求項6の何れか1項に記載の半導体結晶の製造方法。

【請求項8】 前記突起部形成工程において、前記突起部の横方向の太さ、幅、又は直径を $0.1 \mu m$ 以上、 $10 \mu m$ 以下に形成することを特徴とする請求項1乃至請求

項7の何れか1項に記載の半導体結晶の製造方法。

【請求項9】 前記半導体結晶Aと前記下地基板とを冷却または加熱することにより、前記半導体結晶Aと前記下地基板との熱膨張係数差に基づく応力を発生させ、この応力を利用して前記突起部を破断することにより、前記半導体結晶Aと前記下地基板とを分離する分離工程を有することを特徴とする請求項1乃至請求項8の何れか1項に記載の半導体結晶の製造方法。

【請求項10】 前記結晶成長工程において、前記半導体結晶Aを $50 \mu m$ 以上積層することを特徴とする請求項1乃至請求項9の何れか1項に記載の半導体結晶の製造方法。

【請求項11】 前記結晶成長工程において、前記III族窒化物系化合物半導体の原料供給量 $q$ を調整することにより、

前記下地基板の前記突起部間の谷部の少なくとも一部の被浸食領域における前記III族窒化物系化合物半導体の結晶成長速度 $a$ と、前記突起部の頭頂部における結晶成長速度 $b$ との差分( $b - a$ )を略最大値に制御することを特徴とする請求項1乃至請求項10の何れか1項に記載の半導体結晶の製造方法。

【請求項12】 前記原料供給量 $q$ を $1 \mu mol/min$ 以上、 $100 \mu mol/min$ 以下に設定することを特徴とする請求項11に記載の半導体結晶の製造方法。

【請求項13】 前記突起部形成工程後、少なくとも前記突起部の表面に「 $Al_x Ga_{1-x} N$  ( $0 < x \leq 1$ )」より成るバッファ層Cを形成する工程を有することを特徴とする請求項1乃至請求項12の何れか1項に記載の半導体結晶の製造方法。

【請求項14】 前記バッファ層Cの膜厚を $0.1 \mu m$ 以上、 $1 \mu m$ 以下に形成することを特徴とする請求項13に記載の半導体結晶の製造方法。

【請求項15】 前記突起部形成工程において、前記突起部が略等間隔または略一定周期で配置される様に前記突起部を形成することを特徴とする請求項1乃至請求項14の何れか1項に記載の半導体結晶の製造方法。

【請求項16】 前記突起部形成工程において、1辺が $0.1 \mu m$ 以上の略正三角形を基調とする2次元三角格子の格子点上に前記突起部を形成することを特徴とする請求項15に記載の半導体結晶の製造方法。

【請求項17】 前記突起部形成工程において、前記突起部の水平断面形状は、略正三角形、略正六角形、略円形、略矩形、略菱形、又は略平行四辺形であることを特徴とする請求項1乃至請求項16の何れか1項に記載の半導体結晶の製造方法。

【請求項18】 前記突起部形成工程において、前記突起部の配置間隔を $0.1 \mu m$ 以上、 $10 \mu m$ 以下に形成することを特徴とする請求項1乃至請求項17の何れか1項に記載の半導体結晶の製造方法。



【請求項19】 前記反応防止工程において、前記反応防止層を前記下地基板の表裏両面に成膜することを特徴とする請求項1乃至請求項18の何れか1項に記載の半導体結晶の製造方法。

【請求項20】 請求項1乃至請求項19の何れか1項に記載の半導体結晶の製造方法を用いて製造された、前記半導体結晶を結晶成長基板として有することを特徴とする III族窒化物系化合物半導体素子。

【請求項21】 請求項1乃至請求項19の何れか1項に記載の半導体結晶の製造方法を用いて製造された、前記半導体結晶を結晶成長基板とした結晶成長により製造されたことを特徴とする III族窒化物系化合物半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン (Si) より形成された下地基板上に III族窒化物系化合物半導体から成る結晶を成長させることにより、半導体基板を得る方法に関する。また、本発明は、この様な半導体基板を結晶成長基板として製造される III族窒化物系化合物半導体素子に関する。

【0002】

【従来の技術】図5に、Si基板(下地基板)上に結晶成長した従来の半導体結晶の模式的な断面図を例示する。この結晶成長工程には、MOCVD法が採用された。本図5に例示する様に、従来の技術によりSi基板(下地基板)上に高温成長した半導体結晶(GaN結晶等)には、「反応部」や転位、クラック等が生じている。

【0003】

【発明が解決しようとする課題】転位やクラックは、異種材料間における熱膨張係数差や格子定数差に基づいて発生した応力が作用した結果生じたものであり、この様な結晶成長基板で各種の半導体デバイスを製造した場合、デバイス特性の劣化を引き起こす。また、例えばシリコン (Si) 等から成る下地基板を除去し、成長層のみを残して、独立した基板(結晶)を得ようとする場合、上記の転位やクラック等の作用により、大面積(1 cm<sup>2</sup>以上)のものを得ることは殆ど不可能である。

【0004】また、目的の半導体基板(半導体結晶A)の結晶成長温度である1000℃～1150℃付近では、シリコン (Si) と窒化ガリウム (GaN) とが反応し、多結晶のGaN(図中の「反応部」)を形成してしまうことがある。このため、高温の結晶成長過程を経て単結晶のGaN基板を得ることが容易でない等の問題がある。

【0005】本発明は、上記の課題を解決するために成されたものであり、その目的は、比較的安価なシリコン (Si) を下地基板として用いて、クラックや多結晶塊(反応部)のない高品質の半導体結晶を得ることであ

る。また、本発明の更なる目的は、高品質に製造された上記の半導体結晶を結晶成長基板として用いることにより、高品質の半導体デバイスを製造することである。

【0006】

【課題を解決するための手段、並びに、作用及び発明の効果】上記の課題を解決するためには、以下の手段が有効である。即ち、第1の手段は、横方向結晶成長作用を利用して、シリコン (Si) より形成された下地基板上に III族窒化物系化合物半導体から成る半導体結晶Aを成長させる、半導体基板の製造工程において、下地基板上に半導体結晶Aよりも融点又は耐熱性が高い品質材料Bより成る反応防止層を成膜する反応防止工程と、化学的又は物理的なエッチングにより、反応防止層が成膜された側の片面に下地基板を露出させずにこの反応防止層から多数の突起部を形成する突起部形成工程と、この突起部の表面の少なくとも一部を半導体結晶Aが結晶成長を開始する最初の成長面とし、この成長面が各々互いに連結されて少なくとも一連の略平面に成長するまで半導体結晶Aを結晶成長させる結晶成長工程とを設けることである。

【0007】ただし、上記の半導体結晶Aから構成される上記の半導体基板は、単層構造であっても複層構造(多層構造)であっても良い。また、ここで言う「III族窒化物系化合物半導体」一般には、2元、3元、又は4元の「 $Al_xGa_yIn_{(1-x-y)}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )」成る一般式で表される任意の混晶比の半導体が含まれ、更に、p型或いはn型の不純物が添加された半導体も、本明細書の「III族窒化物系化合物半導体」の範疇とする。また、上記の III族元素 (Al, Ga, In) の内の一部をボロン (B) やタリウム (Tl) 等で置換したり、或いは、窒素 (N) の一部をリン (P)、砒素 (As)、アンチモン (Sb)、ビスマス (Bi) 等で置換したりした半導体等もまた、本明細書の「III族窒化物系化合物半導体」の範疇とする。

【0008】また、上記のp型の不純物としては、例えば、マグネシウム (Mg) や、或いはカルシウム (Ca) 等を添加することができる。また、上記のn型の不純物としては、例えば、シリコン (Si) や、硫黄 (S)、セレン (Se)、テルル (Te)、或いはゲルマニウム (Ge) 等を添加することができる。また、これらの不純物は、同時に2元素以上を添加しても良いし、同時に両型 (p型とn型) を添加しても良い。

【0009】図1は、本発明の基本概念を例示的に説明する半導体結晶の製造工程における模式的な断面図である。この反応防止層は、Siと窒化ガリウム系の半導体との反応を防止するためのものであり、この様に、下地基板 (Si基板) 上に窒化ガリウム系の半導体 (半導体結晶A) よりも融点又は耐熱性が高い例えば SiC や AlN 等より成る反応防止層 (品質材料B) を成膜するこ

とにより、窒化ガリウム系の半導体（半導体結晶A）を長時間結晶成長させる場合においても、シリコン界面付近に前記の「反応部」が形成されることが無くなる。

【0010】また、突起部を多数形成することにより、窒化ガリウム系の半導体（半導体結晶A）は、突起部の平頂部を起点として横方向にも成長する。これにより、反応防止層と窒化ガリウム系の半導体結晶Aとの間の格子定数差に基づく応力が発生し難くなり、応力が大幅に緩和される。

【0011】また、突起部を多数形成することにより、反応防止層に作用する応力が緩和され、これらの応力は反応防止層に縦方向のクラックを形成する様には働き難くなり、よって、反応防止層には縦方向に貫通したクラックが発生し難くなる。このため、縦方向に貫通したクラックの無い反応防止層で、下地基板（Si基板）と窒化ガリウム系の半導体（半導体結晶A）とを完全に遮断することができるので、上記の様な「反応部」の発生をより確実に防止することができる。

【0012】また、例えば、上記の様な突起部を形成することにより、反応防止層と半導体基板（即ち、所望の半導体結晶層A）との接触部位が狭く限定されるため、両者の格子定数差に基づく歪が大きくなり難く、「下地基板と半導体基板の間の格子定数差に基づく応力」が緩和される。このため、半導体基板（所望の半導体結晶A）が結晶成長する際に、成長中の半導体基板に働く不要な応力が抑制されて転位やクラックの発生密度が低減される。即ち、以上の応力緩和作用により、窒化ガリウム系の半導体（半導体結晶A）には転位が発生し難くなり、また、クラックの発生密度も格段に削減できる。

【0013】以上の作用と相乗効果により、上記の「反応部」やクラックの無い、転位密度の十分抑制された高品質の半導体基板（半導体結晶A）を得ることが可能又は容易となる。

【0014】尚、本図におけるバッファ層Cは、必要に応じて挿入する形態を採れば良いものであって、本発明を実施する上でこの様なバッファ層は、必ずしも必要となる構成要素ではない。即ち、バッファ層を設けない場合においても本発明の作用・効果を一定以上に得ることが可能である。

【0015】また、第2の手段は、上記の第1の手段において、上記の半導体結晶Aを、組成式が「 $Al_x Ga_y In_{(1-x-y)} N$  ( $0 \leq x < 1$ ,  $0 < y \leq 1$ ,  $x + y \leq 1$ )」を満たすIII族窒化物系化合物半導体から構成することである。

【0016】また、第3の手段は、上記の第1又は第2の手段において、反応防止層を形成する晶質材料Bとして、炭化シリコン（SiC）、窒化アルミニウム（AlN）、又はスピネル（ $MgAl_2O_4$ ）を用いることである。

【0017】また、第4の手段は、上記の第1又は第2

の手段において、反応防止層を形成する晶質材料Bとして、アルミニウム組成比が少なくとも0.30以上のAlGa<sub>1-x</sub>N、AlIn<sub>x</sub>N、或いはAlGaIn<sub>1-x-y</sub>Nを用いることである。また、更には、晶質材料Bとしては、格子定数が3.18Å未満の原子間結合力の比較的強固な耐熱性（融点）の高い安定した材料を選択することが望ましい。

【0018】また、第5の手段は、上記の第1乃至第4の何れか1つの手段において、成長面を横方向に成長させて各々互いに連結させることにより、突起部間に、半導体結晶Aが積層されていない空洞を形成することである。この様な空洞は、大きくできる程望ましいが、余り大き過ぎると連結後に略平面状の成長面が得られ難くなる場合があるため、注意を要する。また、小さ過ぎると、横方向成長による応力緩和作用も小さくなるため、注意を要する。

【0019】また、第6の手段は、上記の第1乃至第5の何れか1つの手段において、突起部間の反応防止層の谷部における膜厚を0.1μm以上、2μm以下に形成することである。

【0020】この厚さが薄過ぎると、膜厚にはムラが伴うため、或いは、反応防止層を形成する上記の晶質材料Bも十分には安定な物質ではないため、ガリウム（Ga）若しくは窒化ガリウム（Ga<sub>1-x</sub>N）とシリコン（Si）とを完全には遮断することができなくなる。従って、これらの反応に基づく「反応部（多結晶のGa<sub>1-x</sub>N）」の形成を防止する効果が十分には得られなくなる。

【0021】また、反応防止層の谷部における膜厚が厚過ぎると、反応防止層の谷部にクラックが入り易くなり、ガリウム（Ga）若しくは窒化ガリウム（Ga<sub>1-x</sub>N）とシリコン（Si）とを完全には遮断することができなくなる。従って、これらの反応に基づく「反応部」の形成を防止する効果が十分には得られなくなる。また、反応防止層の谷部における膜厚が厚過ぎると、その分だけ反応防止層の積層時間や積層材料が余計に必要となるので、生産コスト等の面でも望ましくない。

【0022】また、第7の手段は、上記の第1乃至第6の何れか1つの手段の突起部形成工程において、突起部の縦方向の高さを0.5μm以上、20μm以下に形成することである。より望ましくは、突起部の縦方向の高さは1μm以上、5μm以下が良い。

【0023】この突起部が低過ぎると、前記の空洞が小さくなったり、半導体結晶Aの横方向成長が不十分となったりして、応力緩和作用が不十分となり望ましくない。また、この突起部が高過ぎると、その分だけ反応防止層の積層時間やエッチング時間、或いは積層材料等が余計に必要となるので、生産コスト等の面でも望ましくない。

【0024】また、第8の手段は、上記の第1乃至第7

の何れか1つの手段の突起部形成工程において、突起部の横方向の太さ、幅、又は直径を $0.1\mu\text{m}$ 以上、 $10\mu\text{m}$ 以下に形成することである。より望ましくは、結晶成長の実施条件にも依存するが、突起部の横方向の太さ、幅、又は直径は、 $0.5\sim 5\mu\text{m}$ 程度が良い。

【0025】この太さが太過ぎると、格子定数差に基づいて半導体基板（成長層）に働く応力の影響が大きくなり、半導体基板の転位数が増加し易くなる。また、細過ぎると、突起部自身の形成が困難となるか、或いは、突起部の頭頂部の結晶成長速度 $b$ が遅くなり、望ましくない。

【0026】また、第9の手段は、上記の第1乃至第8の何れか1つの手段において、半導体結晶Aと下地基板とを冷却または加熱することにより、半導体結晶Aと下地基板との熱膨張係数差に基づく応力を発生させ、この応力を利用して突起部を破断することにより半導体結晶Aと下地基板とを分離する分離工程を設けることである。

【0027】例えば、図1に例示する様に、多数の突起部を有する下地基板の上にIII族窒化物系化合物より成る半導体基板（半導体結晶A）を成長させる場合、突起部の大きさや配置間隔や結晶成長諸条件等を調整することにより、各突起部間（突起部の側方）に、半導体結晶Aが積層されていない「空洞」が形成可能である。このため、突起部の高さに比して半導体基板（半導体結晶A）を十分に厚くすれば、内部応力または外部応力がこの突起部に集中的に作用し易くなる。その結果、特にこれらの応力は、突起部に対する剪断応力等として作用し、この応力が大きくなった時に、突起部が破断する。従って、この応力を利用すれば、容易に下地基板と半導体基板とを分離（剥離）することが可能となる。また、上記の「空洞」が大きく形成される程、突起部に応力（剪断応力）が集中し易くなる。即ち、上記の第9の手段によれば、上記の応力を容易に生成することができ、半導体結晶Aと下地基板とを容易に分離することができる。

【0028】尚、下地基板と半導体基板とを分離（剥離）する際に、下地基板側に半導体基板の一部が残っても良いし、或いは、半導体基板側に下地基板の一部

（例：突起部の破断残骸）が残っても良い。即ち、上記の分離工程は、これらの材料の一部の残骸を皆無とする様な各材料の完全な分離を前提（必要条件）とするものではない。この様な破断残骸等の除去は、必要に応じてラッピングやエッチング等の周知の手段を用いて実施することもできる。

【0029】また、第10の手段は、上記の第1乃至第9の何れか1つの手段の結晶成長工程において、半導体結晶Aを $50\mu\text{m}$ 以上積層することである。この厚さが厚い程、半導体基板（半導体結晶A）に対する引っ張り応力が緩和されて、半導体基板の転位やクラックの発生

密度を減少でき、同時に半導体基板を強固にできるため、上記の応力を上記の突起部に集中させ易くなる。

【0030】また、下地基板（Si基板）の厚さは、 $300\mu\text{m}$ 以下が望ましい。この厚さが薄い程、半導体基板（半導体結晶A）に対する引っ張り応力が緩和されて、半導体基板の転位やクラックの発生密度が減少する。ただし、下地基板の厚さを $50\mu\text{m}$ 未満とすると、下地基板自身の絶対的な強度に問題が生じ、高い生産性を維持することが難しくなる。したがって、製造する結晶成長基板の品質と生産性を確保するためには、下地基板の厚さは、 $50\mu\text{m}$ 以上 $300\mu\text{m}$ 以下が望ましい。

【0031】また、相対的には、結晶成長させる半導体基板（半導体結晶A）の厚さは、下地基板（Si基板）の厚さと略同等とするか、或いはそれ以上とすることが望ましい。この様な設定により、半導体基板に対する引っ張り応力が緩和され易くなり、半導体基板の転位やクラックの発生を従来よりも大幅に抑制することが可能となる。この効果は、相対的に半導体基板を厚くする程大きくなる。

【0032】また、第11の手段は、上記の第1乃至第10の何れか1つの手段の結晶成長工程において、III族窒化物系化合物半導体の原料供給量 $q$ を調整することにより、下地基板の突起部間の谷部の少なくとも一部の被浸食領域におけるIII族窒化物系化合物半導体の結晶成長速度 $a$ と、突起部の頭頂部における結晶成長速度 $b$ との差分（ $b-a$ ）を略最大値に制御することである。

【0033】この手段によれば、突起部の頭頂部付近の結晶成長速度が相対的に大きくなり、上記の被浸食領域付近の結晶成長は比較的抑制されて、頭頂部付近からの結晶成長が支配的となる。この結果、突起部の頭頂部付近から開始される半導体基板（半導体結晶A）の横方向成長が顕著となり、半導体基板の結晶成長時に半導体基板に働く「反応防止層と半導体基板の間の格子定数差に基づく応力」が緩和される。従って、半導体基板の結晶構造が安定し、半導体基板に転位やクラックが発生し難くなる。また、半導体基板の横方向成長（ELO）が顕著となれば、例えば、突起部の側方（各突起部間）に比較的大きな空洞ができ易くなる。

【0034】適当な大きさ、間隔、或いは周期で下地基板の表面上に凹凸を形成した場合、一般に、下地基板の外周側壁付近の周辺部分以外では、凸部（突起部）の上面付近に比べて、凹部（谷部）の方が結晶材料の単位時間・単位面積当たりの供給量は少なくなり易い。この傾向は、結晶材料のガス流の流量、温度、方向等にも依存するが、これらの諸条件を最適、或いは好適に制御することにより、上記の差分（ $b-a$ ）を略最大値に制御することが可能となる。

【0035】また、第12の手段は、上記の第11の手段において、原料供給量 $q$ を $1\mu\text{mol}/\text{min}$ 以上、 $100\mu\text{mol}/\text{min}$ 以下に設定することである。

【0036】より望ましくは、上記の原料供給量 $q$ は、 $5\mu\text{mol}/\text{min}$ 以上、 $90\mu\text{mol}/\text{min}$ 以下が良い。更に望ましい値としては、形成される突起部の大きさや形、配置間隔等の下地基板の仕様や、供給原料の種類や供給流方向、結晶成長法等の諸条件にも依るが、概ね $10\sim 80\mu\text{mol}/\text{min}$ 程度が理想的である。この値は、大き過ぎると上記の差分( $b-a$ )を略最大値に制御することが難しくなるので、各突起部間(突起部の側方)に大きな空洞を形成することが難しくなる。従って、この様な場合には、格子定数差に基づく結晶内の応力が比較的緩和され難く、転位が発生する等、半導体基板の単結晶の結晶性が劣化し易くなってしまい望ましくない。

【0037】また、応力(剪断応力)により、下地基板と半導体基板とを分離する際にも、突起部側方の空洞が無い或いはこの空洞が小さいと、突起部に応力が集中し難くなり、突起部の破断が起り難くなってしまい望ましくない。一方、原料供給量 $q$ が小さ過ぎると、結晶成長時間が掛かり過ぎて生産性の面で不利となり、望ましくない。

【0038】また、第13の手段は、上記の第1乃至第12の何れか1つの手段において、突起部形成工程後に、少なくとも突起部の表面に「 $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ )」より成るバッファ層Cを形成する工程を設けることである。

【0039】ただし、上記のバッファ層Cとは、 $400^\circ\text{C}\sim 1100^\circ\text{C}$ 付近で成長する $\text{AlN}$ や $\text{AlGaIn}$ 等の半導体層のことであり、このバッファ層Cとは別に、更に、上記のバッファ層Cと略同組成(例： $\text{AlN}$ や、 $\text{AlGaIn}$ )の中間層(以下、単に「バッファ層」と言う場合がある。)を周期的に、又は他の層と交互に、或いは、多層構造が構成される様に、半導体基板(半導体結晶A)中に積層しても良い。

【0040】これらのバッファ層(或いは、中間層)の積層により、格子定数差に起因する半導体基板(成長層)に働く応力を緩和できる等の従来と同様の作用原理により、結晶性を向上させることが可能となる。また、この様な作用・効果は、反応防止層を構成する晶質材料Bが炭化シリコン( $\text{SiC}$ )等の場合に、特に顕著である。

【0041】また、第14の手段は、上記の第13の手段において、バッファ層Cの膜厚を $0.01\mu\text{m}$ 以上、 $1\mu\text{m}$ 以下に形成することである。

【0042】この手段により、バッファ層の上に形成される所望の半導体結晶A(例： $\text{GaIn}$ 層)のみを良質に横方向に成長させることができる。

【0043】尚、バッファ層の膜厚は、上記の通りおよそ $0.01\mu\text{m}\sim 1\mu\text{m}$ 程度が概ね妥当な範囲であるが、より望ましくは、 $0.1\mu\text{m}$ 以上、 $0.5\mu\text{m}$ 以下が良い。この膜厚が厚過ぎると、空洞が小さくなり易くなり望ましくない。また、この膜厚を薄くし過ぎると、略均一に

バッファ層を成膜することが困難となる。特に、突起部の上部付近においてバッファ層の成膜ムラ(十分に成膜されない部位)が生じると、結晶性にもムラが生じ易くなり、望ましくない。

【0044】また、第15の手段は、上記の第1乃至第14の何れか1つの手段の突起部形成工程において、突起部が略等間隔または略一定周期で配置される様に突起部を形成することである。

【0045】これにより、横方向成長の成長条件が全体的に略均等となり、結晶性の良否にムラが生じ難くなる。また、本手段により、上記の空洞が各々略均等な大きさとなり、上記の剪断応力を各突起部に略均等に分配することが可能となるため、全突起部の破断がムラなく生じ、下地基板と半導体基板との分離が確実に実施できるようになる。また、突起部間の谷部の上方が、半導体基板によって完全に覆われるまでの時間に、局所的なバラツキが生じ難くなるため、例えば、結晶成長速度の遅い結晶成長法から、結晶成長速度の速い結晶成長法に、途中で結晶成長法を変更する場合に、その時期を的確に、早期に、或いは一意に決定することが容易となる。

【0046】また、第16の手段は、上記の第15の手段の突起部形成工程において、1辺が $0.1\mu\text{m}$ 以上の略正三角形を基調とする2次元三角格子の格子点上に突起部を形成することである。

【0047】この手段により、上記の第15の手段をより具体的に正確、確実に実施でき、よって、転位の数を確実に低減することができる。

【0048】また、第17の手段は、上記の第1乃至第16の何れか1つの手段の突起部形成工程において、突起部の水平断面形状を、略正三角形、略正六角形、略円形、略矩形、略菱形、又は略平行四辺形にすることである。

【0049】この手段により、III族窒化物系化合物半導体より形成される結晶の結晶軸の方向が各部で揃い易くなるため、或いは、任意の水平方向に対して突起部の水平方向の長さ(太さ)を略一様に制限できるため、転位の数を抑制することができる。特に、正六角形や正三角形や平行四辺形等は、半導体結晶の結晶構造と合致し易いのでより望ましい。また、円形や矩形は製造技術の面で形成し易いと言う、現行一般の加工技術水準の現状に照らしたメリットが有る。

【0050】また、第18の手段は、上記の第1乃至第17の何れか1つの手段の突起部形成工程において、突起部の配置間隔を $0.1\mu\text{m}$ 以上、 $10\mu\text{m}$ 以下に形成することである。より望ましくは、結晶成長の実施条件にも依存するが、突起部の配置間隔は、 $0.5\sim 8\mu\text{m}$ 程度が良い。ただし、この配置間隔とは、互いに接近する各突起部の中心点間の距離のことを言う。

【0051】この手段により、突起部の谷部の上方を目的の半導体基板(半導体結晶A)で覆うことが可能とな

ると同時に、突起部間（突起部の谷部）に空洞を形成することが可能となる。この値が小さ過ぎると、ELOの作用が殆ど得られなくなり、応力緩和作用を十分に得られず、結晶性が劣化する。また、形成される空洞が小さくなり過ぎて、半導体基板の膜厚を必要以上に大きくしない限り、突起部を容易に破断することができなくなる。

【0052】また、この値が大きくなり過ぎると、確実に突起部の谷部の上方を半導体基板で覆うことができなくなり、結晶性が均質かつ良質の半導体基板（半導体結晶A）が得られなくなる。或いは、この値が更に大き過ぎると、谷部の露出面が広大となり過ぎて、ELOの作用が殆ど得られなくなり、また、空洞が全く形成されなくなる。

【0053】また、第19の手段は、上記の第1乃至第18の何れか1つの手段の反応防止工程において、反応防止層を下地基板上の表裏両面に成膜することである。これにより、反応防止工程後に生じる下地基板（Si基板）の反り（湾曲）を防止若しくは緩和することができる。

【0054】また、第20の手段は、III族窒化物系化合物半導体素子において、上記の第1乃至第19の何れか1つの手段により製造された半導体結晶を結晶成長基板として備えることである。この手段によれば、結晶性が良質で、内部応力の少ない半導体より、III族窒化物系化合物半導体素子を製造することが可能又は容易となる。

【0055】また、第21の手段は、において、上記の第1乃至第19の何れか1つの手段により製造された半導体結晶を結晶成長基板とした結晶成長によりIII族窒化物系化合物半導体素子を製造することである。この手段によれば、結晶性が良質で、内部応力の少ない半導体より、III族窒化物系化合物半導体素子を製造することが可能又は容易となる。以上の本発明の手段により、前記の課題を効果的、或いは合理的に解決することができる。

#### 【0056】

【発明の実施の形態】本発明を実施するに当たり、次の中から個々の製造条件をそれぞれ任意に選択しても良い。また、これらの各製造条件は、任意に組み合わせても良い。まず、最初に、III族窒化物系化合物半導体層を形成する方法としては、有機金属気相成長法（MOCVD又はMOVPE）が好ましい。しかしながら、分子線気相成長法（MBE）、ハライド気相成長法（Halide VPE）、液相成長法（LPE）等を用いても良く、また、各層を各々異なる成長方法で形成しても良い。

【0057】また、バッファ層については、格子不整合を是正する等の理由から、結晶成長基板中、或いは下地基板等に形成することが好ましい。特に、半導体基板（半導体結晶A）中にバッファ層（前記の中間層）を積

層する場合、これらのバッファ層としては、低温で形成させたIII族窒化物系化合物半導体 $Al_xGa_yIn_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )、より好ましくは $Al_xGa_{1-x}N$  ( $0 \leq x \leq 1$ )を用いることができる。このバッファ層は単層でも良く、組成等の異なる多重層としても良い。バッファ層の形成方法は、380～420℃の低温で形成するものでも良く、逆に1000～1180℃の範囲で、MOCVD法で形成しても良い。また、DCマグネトロンスパッタ装置を用いて、高純度金属アルミニウムと窒素ガスを原材料として、リアクティブスパッタ法によりAlNから成るバッファ層を形成することもできる。

【0058】同様に一般式 $Al_xGa_yIn_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ 、組成比は任意)のバッファ層を形成することができる。更には蒸着法、イオンプレーティング法、レーザアブレーション法、ECR法を用いることができる。物理蒸着法によるバッファ層は、200～600℃で行うのが望ましい。さらに望ましくは300～600℃であり、さらに望ましくは350～450℃である。これらのスパッタリング法等の物理蒸着法を用いた場合には、バッファ層の厚さは、100～3000Åが望ましい。さらに望ましくは、100～400Åが望ましく、最も望ましくは、100～300Åである。

【0059】多重層としては、例えば $Al_xGa_{1-x}N$  ( $0 \leq x \leq 1$ )から成る層とGaN層とを交互に形成する、組成の同じ層を形成温度を例えば600℃以下と1000℃以上として交互に形成するなどの方法がある。勿論、これらを組み合わせても良く、多重層は3種以上のIII族窒化物系化合物半導体 $Al_xGa_yIn_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )を積層しても良い。一般的には緩衝層は非晶質であり、中間層は単結晶である。緩衝層と中間層を1周期として複数周期形成しても良く、繰り返しは任意周期で良い。繰り返しは多いほど結晶性が良くなる。

【0060】バッファ層及び上層のIII族窒化物系化合物半導体は、III族元素の組成の一部は、ボロン(B)、タリウム(Tl)で置き換えても、また、窒素(N)の組成一部をリン(P)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)で置き換えても本発明を実質的に適用できる。また、これら元素を組成に表示できない程度のドーピングをしたものでも良い。例えば組成にインジウム(In)、ヒ素(As)を有しないIII族窒化物系化合物半導体である $Al_xGa_{1-x}N$  ( $0 \leq x \leq 1$ )に、アルミニウム(Al)、ガリウム(Ga)よりも原子半径の大きなインジウム(In)、又は窒素(N)よりも原子半径の大きなヒ素(As)をドーピングすることで、窒素原子の抜けによる結晶の拡張歪みを圧縮歪みで補償し結晶性を良くしても良い。

【0061】この場合はアクセプタ不純物がIII族原子の位置に容易に入るため、p型結晶をアズグローンで得ることもできる。このようにして結晶性を良くすることで本願発明と合わせて更に貫通転位を100乃至1000分の1程度にまで下げることもできる。バッファ層と

III族窒化物系化合物半導体層とが2周期以上で形成されている基底層の場合、各III族窒化物系化合物半導体層に主たる構成元素よりも原子半径の大きな元素をドーピングすると更に良い。なお、発光素子として構成する場合は、本来III族窒化物系化合物半導体の2元素、若しくは3元素を用いることが望ましい。

【0062】n型のIII族窒化物系化合物半導体層を形成する場合には、n型不純物として、Si、Ge、Se、Te、C等IV族元素又はVI族元素を添加することができる。また、p型不純物としては、Zn、Mg、Be、Ca、Sr、Ba等II族元素又はIV族元素を添加することができる。これらを複数或いはn型不純物とp型不純物を同一層にドーピングしても良い。

【0063】横方向エピタキシャル成長を用いてIII族窒化物系化合物半導体層の転位を減じることが任意である。この際、マスクを用いるもの、エッチングにより段差を埋めるもの任意の方法を取ることができる。

【0064】エッチングマスクは、多結晶シリコン、多結晶窒化物半導体等の多結晶半導体、酸化珪素( $\text{SiO}_2$ )、窒化珪素( $\text{SiN}_x$ )、酸化チタン( $\text{TiO}_x$ )、酸化ジルコニウム( $\text{ZrO}_x$ )等の酸化物、窒化物、チタン(Ti)、タングステン(W)のような高融点金属、これらの多層膜をもちいることができる。これらの成膜方法は蒸着、スパッタ、CVD等の気相成長法の他、任意である。

【0065】エッチングをする際には、反応性イオンビームエッチング(RIBE)が望ましいが、任意のエッチング方法を用いることができる。基板面に垂直な側面を有する段差を形成するのでないものとして、異方性エッチングにより例えば段差の底部に底面の無い、断面がV字状のものを形成しても良い。

【0066】III族窒化物系化合物半導体にFET、発光素子等の半導体素子を形成することができる。発光素子の場合、発光層は多重量子井戸構造(MQW)、単一量子井戸構造(SQW)の他、ホモ構造、ヘテロ構造、ダブルヘテロ構造のものが考えられるが、pin接合或いはpn接合等により形成しても良い。

【0067】以下、本発明を具体的な実施例に基づいて説明する。ただし、本発明は以下に示す実施例に限定されるものではない。

(第1実施例)以下、本発明の実施例における半導体結晶(結晶成長基板)の製造手順の概要を例示する。

#### 【0068】〔1〕反応防止工程

本反応防止工程は、下地基板(Si基板)上に反応防止層を積層する製造工程である。本反応防止工程では、まず最初に、Si(111)基板上に気相成長法(MOVPE)により、炭化シリコン(SiC)より成る反応防止層を約1.5 $\mu\text{m}$ 成膜する。尚、ウエハの反りを防止するために、SiC膜の成膜を表裏両面に行っても良い。

#### 【0069】〔2〕突起部形成工程

上記の反応防止層の上に、フォトリソグラフィーを利用

したドライエッチングにより、直径約1 $\mu\text{m}$ 、高さ約1 $\mu\text{m}$ の略円柱形状の突起部B1を約2 $\mu\text{m}$ の配置間隔で形成する(図2)。配列形態としては、一辺が約2 $\mu\text{m}$ の略正三角形を基調とする2次元三角格子の各格子点上に突起部B1の円柱底面の中心が配置される様に、突起部B1を形成する。ただし、下地基板の厚さは約200 $\mu\text{m}$ とする。

#### 【0070】〔3〕結晶成長工程

本結晶成長工程では、図4に示す様に、結晶の成長面が、突起部B1の上面(初期状態)から各々互いに連結されて一連の略平面状に成長するまでの成長工程を有機金属化合物気相成長法(MOVPE法)に従って実施し、その後、この半導体基板(結晶層)が200 $\mu\text{m}$ 程度の厚膜に成長するまでの成長工程をハイドライド気相成長法(HVPE法)に従って実施する。尚、本結晶成長工程では、アンモニア( $\text{NH}_3$ )ガス、キャリアガス( $\text{H}_2$ ,  $\text{N}_2$ )、トリメチルガリウム( $\text{Ga}(\text{CH}_3)_3$ )ガス(以下「TMG」と記す)、及びトリメチルアルミニウム( $\text{Al}(\text{C}\text{H}_3)_3$ )ガス(以下「TMA」と記す)を用いる。

【0071】(a)まず、上記の突起部B1が設けられた下地基板(図2)を有機洗浄及び酸処理により洗浄し、結晶成長装置の反応室に載置されたサセプタに装着し、常圧で $\text{H}_2$ を反応室に流しながら温度1100℃で下地基板をベーキングする。

(b)次に、上記の下地基板の上に、MOVPE法に従って、 $\text{H}_2$ ,  $\text{NH}_3$ , TMG, TMAを供給して、AlGaInバッファ層(バッファ層C)を成膜する。このAlGaInバッファ層Cの結晶成長温度は、約1100℃、膜厚は約0.2 $\mu\text{m}$ である。(図3)

【0072】(c)このAlGaInバッファ層(バッファ層C)の上に、半導体基板の一部、即ち、膜厚約5 $\mu\text{m}$ のGaIn層Aを、 $\text{H}_2$ ,  $\text{NH}_3$ 及びTMGを供給して、成長温度1075℃で結晶成長させた。この工程により、図4に示す様に、半導体基板(GaIn層A)の一部が横方向成長し、谷部即ち突起部B1の側方に大きな空洞ができる。尚、この時のTMG供給速度は、概ね40 $\mu\text{mol}/\text{min}$ 程度であり、GaIn層(半導体結晶A)の結晶成長速度は、約1 $\mu\text{m}/\text{Hr}$ 程度である。

【0073】(d)その後、ハイドライド気相成長法(HVPE法)に従って、上記のGaIn層(半導体結晶A)を、更に、200 $\mu\text{m}$ まで結晶成長させた。このHVPE法におけるGaIn層の結晶成長速度は、凡そ45 $\mu\text{m}/\text{Hr}$ 程度である。

#### 【0074】〔4〕分離工程

(a)上記の結晶成長工程の後、アンモニア( $\text{NH}_3$ )ガスを結晶成長装置の反応室に流したまま、下地基板(Si基板)を有するウエハを略常温まで冷却する。この時の冷却速度は、概ね「-50℃/min~-5℃/min」程度とすれば良い。

【0075】(b)その後、これらを結晶成長装置の反

応室から取り出すと、下地基板（Si基板）から剥離したGa<sub>2</sub>N結晶（半導体結晶A）が得られた。ただし、この結晶は、Ga<sub>2</sub>N層（半導体基板）の裏面に、AlGa<sub>2</sub>Nバッファ層Cの小さな一部分の残骸と突起部B1の破断残骸とが残留したままのものである。

#### 【0076】〔5〕破断残骸除去工程

上記の分離工程の後、ラッピング処理により、Ga<sub>2</sub>N結晶の裏面に残ったSiより成る突起部B1の破断残骸を除去する。ただし、本破断残骸除去工程は、フッ酸に硝酸を加えた混合液等を用いたエッチング処理により実施しても良い。

【0077】以上の製造方法により、膜厚約200μmの結晶性の非常に優れた良質のGa<sub>2</sub>N結晶（Ga<sub>2</sub>N層）、即ち、下地基板から独立した所望の半導体基板（半導体結晶A）を得ることができる。

【0078】尚、反応防止層を形成する晶質材料Bとしては、AlN、Al<sub>x</sub>Ga<sub>1-x</sub>N（0.30 ≤ x ≤ 1）等でも、上記の実施例と略同様の作用・効果が得られる。より一般には、反応防止層を形成する晶質材料Bとして、炭化シリコン（SiC、3C-SiC）、窒化アルミニウム（AlN）、スピネル（MgAl<sub>2</sub>O<sub>4</sub>）、或いは、アルミニウム組成比が少なくとも0.30以上のAlGa<sub>2</sub>N、AlInN又はAlGaInNを用いることができる。

【0079】また、目的の半導体基板を形成する半導体結晶Aは、窒化ガリウム（Ga<sub>2</sub>N）に限定されるものではなく、前記の一般の「III族窒化物系化合物半導体」を任意に選択することができる。また、目的の半導体基板（半導体結晶A）は、多層構造を有するものとしても

良い。

【0080】また、上記の実施例では、図2に例示した様に、下地基板の突起部や谷部は鉛直面と水平面により構成されているが、これらは任意の斜面や曲面等から形成しても良い。従って、図2（c）に例示した下地基板上に形成される谷部の断面形状は、略矩形の凹字型以外にも、例えば、略U字型や略V字型等の形に形成しても良く、一般にこれらの形状、大きさ、間隔、配置、配向等は任意である。

#### 【図面の簡単な説明】

【図1】本発明の基本概念を例示的に説明する半導体結晶の製造工程における模式的な断面図。

【図2】本発明の実施例に係わる、下地基板（Si基板）の部分的な断片の模式的な斜視図（a）、平面図（b）、及び断面図（c）。

【図3】バッファ層C（AlGa<sub>2</sub>N層）が成膜された下地基板の模式的な斜視図（a）、平面図（b）、及び断面図（c）。

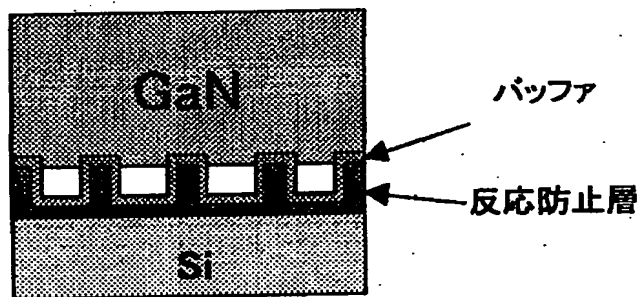
【図4】半導体基板（半導体結晶A）が積層された下地基板の模式的な斜視図（a）、平面図（b）、及び断面図（c）。

【図5】Si基板（下地基板）上に結晶成長した従来の半導体結晶を例示する模式的な断面図。

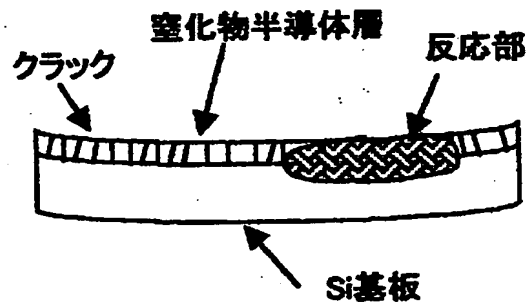
#### 【符号の説明】

Si … シリコン基板（下地基板）  
A … 半導体結晶（目的の半導体基板）  
B … 反応防止層（晶質材料）  
B1 … 突起部（反応防止層の一部）  
C … バッファ層

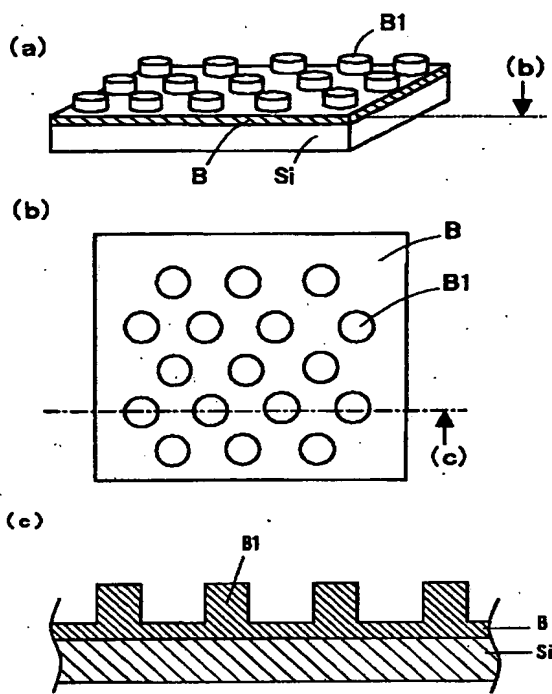
【図1】



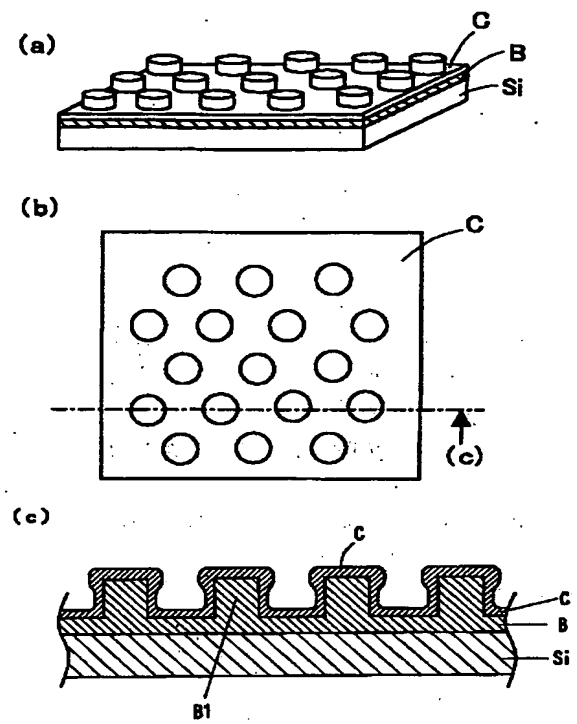
【図5】



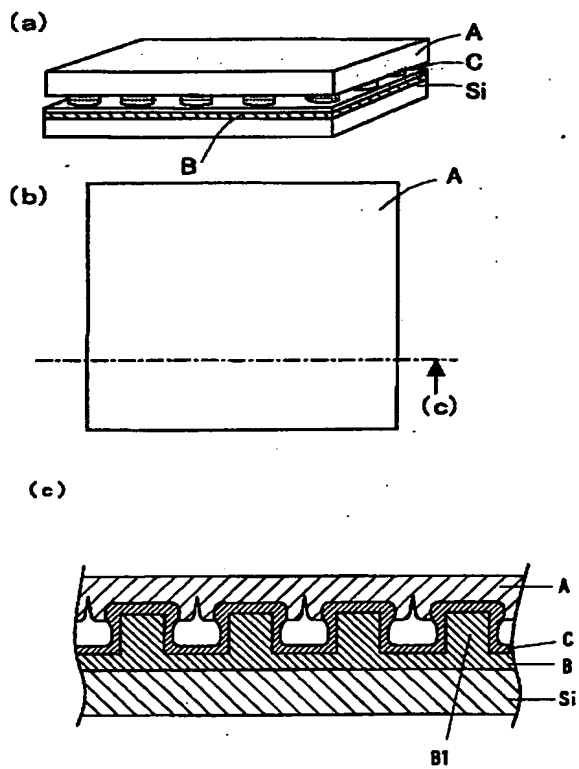
【図2】



【図3】



【図4】





フロントページの続き

(72)発明者 永井 誠二

愛知県西春日井郡春日町大字落合字長畑1

番地 豊田合成株式会社内

(72)発明者 富田 一義

愛知県愛知郡長久手町大字長湫字横道41番

地の1 株式会社豊田中央研究所内

Fターム(参考) 4G077 AA03 BE11 BE15 DB05 ED06

EE01 EE06 EF03 FJ03 TK08

TK11

5F045 AA04 AA05 AB06 AB09 AB14

AB18 AB38 AC08 AC12 AC15

AC18 AD14 AD15 AF03 BB12

BB13 DA53